

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256250

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 21/3205

H01L 21/82

H01L 21/768

(21)Application number : 09-057853

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.03.1997

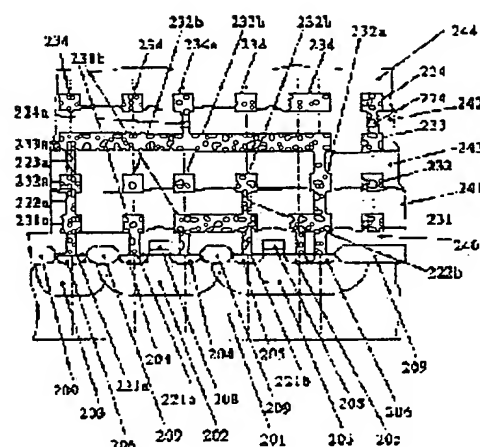
(72)Inventor : MIZUNO MASAO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To perform effective shielding by forming the (n+1)-th wiring layer which covers a specified functional block in the (n+1)-th layer above this specified functional block.

SOLUTION: An N-type diffused region 2-6 for stopper connected with an n-well 203 is made into a circular form in advance, and a circuit to be shielded is built in beforehand, including a P-well 202 within. First, contacts 221a for connection between the first-layer metallic wiring and a diffused region are arranged densely in a circular form likewise on the N-type diffused layer 206 formed into a circular shape. Thereon, wiring is arranged in circular form likewise along the contact arranged, by a first wiring 231a. This processing is performed in a circular form to a contact 223a for connection between a third-layer metallic wiring 233a and a second-layer metallic wiring 232a. Lastly, the third-layer metallic wiring 233a is made in the shape for filling up this functional block over the entire surface, whereupon the contacts can be piled up in the shape of an upside-down cup from the same subplate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Japanese Publication for Unexamined Patent Application

No. 10-256250/1998 (Tokukaihei 10-256250)

A. Relevance of the above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

[MEANS TO SOLVE THE PROBLEMS]

A semiconductor integrated circuit apparatus of the present invention is characterized in that:

a) if a specific functional block is constituted by n-number of wire layers in an LSI chip,

b) at an outer circumference of a region of the specific functional block, a stopper-use dispersion layer is provided circularly within a P-well or an N-well that are provided in a same substrate;

c) on the dispersion layer provided in such a manner as to surround the functional block, first contacts are provided circularly so as to surround the functional block, the first contacts connecting a first wire layer and the dispersion layer;

b) the first contacts provided circularly are circularly connected with one another by the first wire layer;

THIS PAGE BLANK (USPTO)

c) like the dispersion layer, on the first wire layer provided circularly, second contacts are provided circularly so as to surround the functional block, the second contacts connecting a second wire layer and the first wire layer;

d) likewise, n -th contacts are provided circularly, the n -th contacts connecting an n -th wire layer and an $(n+1)$ -th wire layer; and

e) on an $(n+1)$ -th layer on the specific functional block, the $(n+1)$ -th wire layer for covering the specific functional block is provided.

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-256250

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/3205
21/82
21/768

H 0 1 L 21/88
21/82
21/90

S
W
V

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平9-57853

(22) 出願日 平成 9 年 (1997) 3 月 12 日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 水野 正雄

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外 2 名)

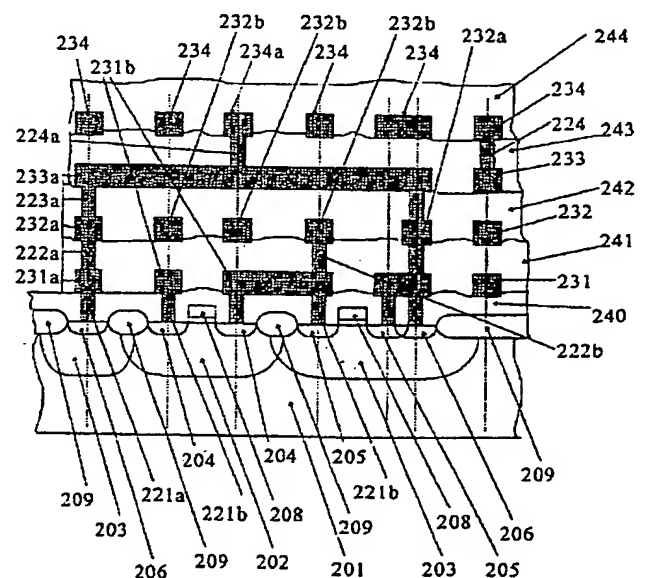
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 多層配線構造の L S I において、出来る限り少ないスペースで、特定の回路ブロックまたは特定の配線群に対して、配線間の結合容量の影響を低減させ、クロストークによる回路の誤動作を防止する。

【解決手段】 複数の層間コンタクトおよび環状の配線を、断面的には壁状に、平面的には環状に配置する。n 層よりなる特定回路ブロックについては n + 1 層目の配線層による平板状の蓋をする。n 層目より m 層からなる特定の配線群に対しては、n - 1 層目および n + m 層目の配線層により上下に平板状の蓋をする。前述の配線およびコンタクトは全て基板電位を共通にする。

【効果】 従来の平板状の配線層による遮蔽に比べ、平面的に場所をとらない。ディープサブミクロンプロセスに特徴的な、配線側面の結合容量についても遮蔽が可能である。



(2)

1

【特許請求の範囲】

【請求項1】 a) L S Iチップ内において、 n 層の配線層に依って、特定の機能ブロックが構成されている場合、

b) 前記、特定の機能ブロック領域の外周には、同一基板PwellまたはNwellの中に形成された、ストッパー用の拡散層が環状に設けられ、

c) 前記機能ブロックを取り囲む様に形成された拡散層の上に、前記機能ブロックを取り囲むように、第1層目の配線層と前記拡散層とを接続する第1のコンタクトを環状に配置され、

b) さらに前記の環状に配置された第1のコンタクトは、相互に第1層目の配線層によって環状に接続され、

c) 前記拡散層と同様に、前記の環状に配置された第1層目の配線層の上に、前記機能ブロックを取り囲むように、第2層目の配線層と前記第1層目の配線層とを接続する第2のコンタクトが環状に配置され、

d) 以下同様に、第 n 層目の配線層、および $n+1$ 層目の配線層と第 n 層目の配線層とを接続する第 n のコンタクトが環状に配置され、

e) 前記特定機能ブロックの上、 $n+1$ 層目に、この特定機能ブロックを覆う第 $n+1$ 層目の配線層が形成されて、構成されていることを特徴とする半導体集積回路装置。

【請求項2】 a) L S Iチップ内において、 n 層目から m 層の配線層に依って、特定の機能ブロック間を接続する配線群が構成されている場合、

b) 前記、特定の機能ブロック間を接続する配線群の下に、前記配線群の大部分を平面的に覆う、 $n-1$ 層目の配線層に依って形成された、板状の領域を設け、

c) 前記板状の領域の上に、これを取り囲むように、第 n 層目の配線層と前記 $n-1$ 層目の配線層とを接続する第1のコンタクトを環状に配置し、

d) さらに前記の環状に配置された第 n のコンタクトを相互に、第 n 層目の配線層によって環状に接続し、

e) 前記の環状に配置された第 n 層目の配線層の上に、第 $n+1$ 層目の配線層と前記第 n 層目の配線層とを接続する第2のコンタクトを環状に配置し、

d) 以下同様に、第 $n+m-1$ 層目の配線層および $n+m$ 層目の配線層と第 $n+m-1$ 層目の配線層とを接続する第 m のコンタクトを環状に配置し、

e) 前記、特定の機能ブロック間を接続する配線群の上 $n+m$ 層目に、これを覆う第 $n+m$ 層目の配線層が形成され、

f) 前記、コンタクトおよび配線が同一の電位に接地されることによって、構成されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または請求項2記載の半導体集積回路装置において、前記第1から第 n までのコンタクトが平面的に同一場所に積み上げられた (stack v

2

i a) の構造をとることを特徴とする半導体集積回路装置。

【請求項4】 請求項1または請求項2記載の半導体集積回路装置において、同一電位にあるコンタクトおよび配線層から、L S I内の別の機能ブロックに電源ラインを供給することを特徴とする半導体集積回路装置。

【請求項5】 請求項1または請求項2記載の半導体集積回路装置において、配線およびコンタクトが平面的にグリッドに乗っていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は多層配線による大規模集積回路装置において、雑音発生源となる高周波を扱うアナログおよびデジタル回路ブロックや、特定の機能ブロック間を接続したり信号を分配する配線群に対して、多層の金属配線によって外部の回路との遮蔽を行うことができる集積回路装置に関する。

【0002】

【従来の技術】 多層金属配線を採用した、集積回路装置においては、図4に示すような、配線間の結合容量の配線相互間に与える影響については、配線の幅による影響を考慮しているのみであった。特に2層配線の時代までは、幾何学的にも配線を自動配線処理の工程において、なるべく直行させることで解決していたし、回路的にも、一つのチップ内に、全く異なる種類の回路が存在するような、チップを開発してはいなかった。たとえば、通常のスピードの回路の中に、アナログの高速回路や高速の演算回路、DRAMなどが混在することはなかった。

【0003】 このため、3層配線の時代に入っても、特にチップ内の特定の機能ブロックや特定の機能ブロックを相互に配線している配線群を分離したり隔離したりする必要もなかった。

【0004】

【発明が解決しようとする課題】 しかし近年、多層金属配線を積極的に採用した、システムオンシリコン規模の、大規模集積回路装置においては、従来では別チップのL S Iとして開発していた回路規模のものをメガセルという回路機能ブロックの形としてチップ内に複数取込み、これらを相互に配置配線することによって、性能的にも、コスト的にもL S Iとして大きな飛躍・改善がなされて来ている。

【0005】 集積度の向上のためにも、ディーブサブミクロンプロセスが採用されつつあり、配線間の結合容量についても、配線幅と配線の厚みの比率がより接近して来ており、従来の垂直方向の配線間の結合容量のみならず、側面と結合容量の影響も考えなければならなくなってきた。

【0006】 このようなことから、

(3)

3

a) 3層以上の配線処理については、従来の2層配線のように配線層を直交させる手法だけでは、配線間相互の結合容量の影響を十分に減らすことはできない。

【0007】b) 同一チップ内に、雑音発生源となるような、高速のアナログ回路やデジタル回路ブロックが取込まれた場合、今まで正常に動作していた一般の回路に誤動作を含め大きな影響がでる。

【0008】c) ディープサブミクロンプロセスにおいてはチップ内の集積度が極めて高いので、単なる回路のシールドのために、余分な面積を占有できない。

【0009】d) 配線側面による配線相互間の結合容量についてもシールドする必要がある。

【0010】の問題に対して、あくまでも、配線間の結合容量を考慮した、回路シミュレーション技術の進歩に依存せざる負えなくなっている。

【0011】本発明はこのような問題点を解決するもので、その目的とするところは、特定の機能ブロックおよび特定の機能ブロック間を接続する配線群と、その他のLSIの配線とを隔離しかつ場所的にはLSIチップ内に混在させることが可能なシステムオンシリコン規模の半導体集積回路装置を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体集積回路装置は

a) LSIチップ内において、 n 層の配線層に依って、特定の機能ブロックが構成されている場合、

b) 前記、特定の機能ブロック領域の外周には、同一基板PwellまたはNwellの中に形成された、ストッパー用の拡散層が環状に設けられ、

c) 前記機能ブロックを取り囲む様に形成された拡散層の上に、前記機能ブロックを取り囲むように、第1層目の配線層と前記拡散層とを接続する第1のコンタクトを環状に配置され、

b) さらに前記の環状に配置された第1のコンタクトは、相互に第1層目の配線層によって環状に接続され、

c) 前記拡散層と同様に、前記の環状に配置された第1層目の配線層の上に、前記機能ブロックを取り囲むように、第2層目の配線層と前記第1層目の配線層とを接続する第2のコンタクトが環状に配置され、

d) 以下同様に、第 n 層目の配線層、および $n+1$ 層目の配線層と第 n 層目の配線層とを接続する第 n のコンタクトが環状に配置され、

e) 前記特定機能ブロックの上、 $n+1$ 層目に、この特定機能ブロックを覆う第 $n+1$ 層目の配線層を形成することによって構成されることを特徴とする。

【0013】また、本発明の半導体集積回路装置は

a) LSIチップ内において、 n 層目から m 層目の配線層に依って、特定の機能ブロック間を接続する配線群が構成されている場合、

b) 前記、特定の機能ブロック間を接続する配線群の下

4

に、前記配線群の大部分を平面的に覆う、 $n-1$ 層目の配線層に依って形成された、板状の領域を設け、

c) 前記板状の領域の上に、これを取り囲むように、第 n 層目の配線層と前記 $n-1$ 層目の配線層とを接続する第1のコンタクトを環状に配置し、

d) さらに前記の環状に配置された第 n のコンタクトを相互に、第 n 層目の配線層によって環状に接続し、

e) 前記の環状に配置された第 n 層目の配線層の上に、第 $n+1$ 層目の配線層と前記第 n 層目の配線層とを接続する第2のコンタクトを環状に配置し、

d) 以下同様に、第 $n+m-1$ 層目の配線層および $n+m$ 層目の配線層と第 $n+m-1$ 層目の配線層とを接続する第 m のコンタクトを環状に配置し、

e) 前記、特定の機能ブロック間を接続する配線群の上 $n+m$ 層目に、これを覆う第 $n+m$ 層目の配線層が形成され、

f) 前記、コンタクトおよび配線が同一の電位に接地されることによって、構成されていることを特徴とする。

【0014】また、本発明の半導体集積回路装置は、前記半導体集積回路装置において、前記第1から第 n までのコンタクトが平面的に同一場所に積み上げられた(stack via)の構造をとることを特徴とする。

【0015】また、本発明の半導体集積回路装置は、前記半導体集積回路装置において、同一電位にあるコンタクトおよび配線層から、LSI内の別の機能ブロックに電源ラインを供給することを特徴とする。

【0016】また、本発明の半導体集積回路装置は、前記半導体集積回路装置において、配線およびコンタクトが平面的にグリッドに乗っていることを特徴とする。

【0017】

【作用】本発明は、上記構成により、複数の層間コンタクトおよび環状の配線を、断面的には壁状に、平面的には環状に配置する。 n 層よりなる特定回路ブロックについては $n+1$ 層目の配線層による平板状の蓋をする。 n 層目より m 層からなる特定の配線群に対しては、 $n-1$ 層目および $n+m$ 層目の配線層により上下に平板状の蓋をする。前述の配線およびコンタクトは全て基板電位を共通にする。従って、従来の平板状の配線層による遮蔽に比べ、平面的に場所をとらない。ディープサブミクロンプロセスに特徴的な、配線側面の結合容量についても遮蔽が可能である。

【0018】そして、本発明の上記構成によれば、特定の機能ブロックおよび特定の機能ブロック間を接続する配線群に対して、縦方向に多層配線のためのコンタクト(Via)を、同電位のサブストレートから、環状に積み上げており、かつ機能ブロックの上には、上位の配線層が機能ブロックを覆う形で形成されていることにより、きわめて効果的な遮蔽を行うことができる。

【0019】更にコンタクトの積み上げに関しても、コンタクトの多段積みを積極的に活用することによって、

50

(4)

5

図6における配線およびコンタクトによって形成される網目をより細くすることができ、遮蔽の効果も向上する。

【0020】また、単なる平板状の配線層による遮蔽に比べても、平面的にも立体的にも場所をとらない。

【0021】配線の幅と厚みの比率がより接近した、ディープサブミクロンプロセスに特徴的な、配線側面の結合容量についても十分な遮蔽が可能である。

【0022】またこの遮蔽を行うことにより、図4の断面図に示す上下左右に生ずる結合容量については、図5に示す様に、機能ブロック内部の配線間の結合容量のみとなる。

【0023】さらに、特定の機能ブロック間を接続する配線群にたいしても、同様に配線群以外の配線との結合容量を完全に減らすことができる。

【0024】以上のことからLSI内部での雑音の発生源である特定の機能ブロックまたは配線群の周囲の回路に与える影響を大幅に改善できる。

【0025】

【発明の実施の形態】図1は、高周波回路ブロックを含む大規模LSIの、全体的なチップの概略平面図で、101なるチップに対して、チップ周囲には105なる入出力セルを環状に配置し、その内部には、102なる基本セルを、マトリクス状に配置した、103なる基本セルマトリクス領域、および、106なる、あるまとまった機能を持つメガセルとしてのRAM、ROM、MPUを構成すべく機能ブロック領域、さらに雑音発生源ともなる、107なる高周波回路ブロック領域を配置している。

【0026】一方チップの周囲には論理機能を有する入出力の為の機能セルを配置しており、さらに104として入出力セルと内部の機能ブロック領域や基本セルマトリクス領域、さらに高周波回路ブロック領域とを結び付ける配線専用領域を確保している。

【0027】そして、これらの基本セル・マトリクス領域や、各種機能ブロック領域を、多層配線技術によって相互に結線することによって、システムオンシリコン規模のLSIを実現している。

【0028】図2、図3、図6、図7の断面図において201はN型基板領域でその上に202のP-wellおよび203のN-wellを形成している。

【0029】202のP-wellの中の204はN型拡散領域で、中心を貫く208のポリシリコン領域と共にNチャンネルMOSトランジスタを形成している。

【0030】203のN-wellの中の205はP型拡散領域で、中心を貫く208のポリシリコン領域と共にPチャンネルMOSトランジスタを形成している。

【0031】206はPチャンネル・トランジスタのストッパー用N型拡散領域、207はNチャンネル・トランジスタのストッパー用P型拡散領域で、各々、203

6

のN型基板領域、および202のP型基板領域の一部とつながっている。

【0032】209はフィールド酸化膜である。

【0033】221a、221bは第1層金属配線と拡散領域との接続用コンタクト、222a、222bは第2層金属配線と第1層金属配線との接続用コンタクト、223a、223bは第3層金属配線と第2層金属配線との接続用コンタクト、224、224aは第4層金属配線と第3層金属配線との接続用コンタクトであり、231、231a、231bは第1層金属配線、232、232a、232bについては第2層金属配線、233、233aは第3層金属配線、234、234aについては第4層金属配線である。

【0034】また、これらの断面図において、240については第1層金属配線と拡散領域またはポリシリコン領域との層間絶縁膜、241については第2層金属配線と第1層金属配線との層間絶縁膜、242は第3層金属配線と第2層金属配線との層間絶縁膜、243は第4層金属配線と第3層金属配線との層間絶縁膜、244はチップ表面と第4層金属配線との層間絶縁膜である。

【0035】図2は従来の多層金属配線の状況を示したチップ断面図である。

【0036】図4は、従来の多層金属配線における配線間の結合容量の種類を表わした断面図であり、図2をモデル化したものでもある。

【0037】図3は、本発明の実施例におけるシールドされた高周波回路ブロックを、図7に於いて垂直方向から見たのチップ断面図である。

【0038】図5は、本発明によるシールド処理を行った場合の配線間の結合容量の種類を表わした断面図であり、図3をモデル化したものでもある。

【0039】両者の、配線相互間の結合容量の種類を比較してみると、図3および図5のように、特定の回路ブロックをシールドした場合、結合容量としてはブロック間相互についてのみ考慮すれば良く、従来図4において存在した、隣接する第2層金属配線やその側面によって生ずる結合容量、また第3層金属配線との結合容量についても、これらを考慮する必要がなくなっている。

【0040】図6は、本発明の実施例におけるシールドされた高周波回路ブロックを、図7に於いて水平方向から見た断面図であり、各々の層間におけるコンタクトをいわゆるスタックVIAの状態、すなわち図7における、221aの第1層金属配線と拡散領域との接続用コンタクトの平面的な位置を同じくして垂直に多段積みにしたものを示している。

【0041】このスタックVIAについてはデザインルール上禁止されている場合が多いが、配線側面の相互間の結合容量を無くするためには、密にコンタクトを配置することができ、機能ブロックを遮蔽するのにより効果的であると思われる。

50

(5)

7

【0042】図7は、本発明の実施例におけるシールドされた高周波回路ブロックの平面図である。

【0043】ここでは、203のN-wellに接続されている、206のストッパー用N型拡散領域を環状に形成しておき、内部には202のP-wellを内包させて、遮蔽すべき回路を造り込んでおく。前記、環状に形成されたN型拡散領域の上に、最初に221aの第1層金属配線と拡散領域との接続用コンタクトを、同様に環状に密に配置する。その上に231aの第1層金属配線により、配置したコンタクトに沿って同様に環状に配線処理する。

【0044】この処理を223aの第3層金属配線と第2層金属配線との接続用コンタクトまで環状に配置する。

【0045】さいごに、233aの第3層金属配線配線層を、この機能ブロックを全面的に埋め尽くす形に形成する。

【0046】以上の処理によって、同一のサブストレートから、お椀を伏せたような形にコンタクトを積み上げることにより、きわめて効果的な遮蔽を行うことができる。

【0047】図8は、本発明の実施例におけるシールドされた特定の機能ブロック間を接続する配線群の断面図である。

【0048】この図においては、233bなる3本の第3層金属配線が、図3の場合と同様に、周りを223aの第3層金属配線と第2層金属配線との接続用コンタクトや、224aの第4層金属配線と第3層金属配線との接続用コンタクトを同様に環状に配置され積み上げられることによってシールドされている。

【0049】図3の場合と比較すると最下層が204のN型拡散領域拡散層であったのが、232aの第2層金属配線に置換わっている。

【0050】以上の実施例からも、ディープサブミクロンプロセスを採用した、システム大規模LSIチップにおいて、本方式のシールドを採用することにより、アナログおよびデジタル回路による高周波機能ブロックからの、結合容量を経由した、クロストークによる回路の誤動作の防止が実現することができ、かつ場所的にも非常に経済的であるため、さらなる回路の大規模化および一部内部ブロックの高速化を考えてもこれを技術的に実現することができる。

【0051】

【発明の効果】以上述べたように本発明によれば、雑音発生源となる高周波回路機能ブロックに対して、縦方向に多層配線のためのコンタクト(Via)を、同一のサブストレートから、お椀を伏せたような形に積み上げることにより、きわめて効果的な遮蔽を行うことができる。

【0052】また、単なる平板状の配線層による遮蔽に

8

比べても、平面的にも立体的にも場所をとらない。

【0053】配線の幅と厚みの比率がより接近した、ディープサブミクロンプロセスに特徴的な、配線側面の結合容量についても十分な遮蔽が可能である。

【0054】さらに、特定の機能ブロック間を接続する配線群にたいしても、同様に十分な遮蔽効果が得られるので、高周波信号や高周波のクロックを束にして、他の配線の信号に殆ど影響を与えずに、チップ全体にくまなく分配することも、可能となる。

【0055】また、LSIチップ内の配置配線処理を自動で行う際にも、特定の機能ブロックや、特定の機能ブロック間を接続する配線群を予め遮蔽しておくことができるため、その他の機能ブロックやそれらの相互配線について、配置配線上注意を払う必要がなくなる。

【0056】このようなことから、ディープサブミクロンプロセスを採用した、システムオンシリコン規模のLSIチップの開発において、アナログおよびデジタル回路による高周波雑音発生源からのノイズの、結合容量を経由した影響を激減させ、クロストークによる回路の誤動作の防止が可能になり、かつ場所もとらないため、トータルとして回路の大規模化および高速化を実現できるという効果を有する。

【図面の簡単な説明】

【図1】高周波回路ブロックを含む大規模LSIの、全体的なチップの概略平面図である。

【図2】従来の多層金属配線の状況を示したチップ断面図である。

【図3】本発明の実施例におけるシールドされた高周波回路ブロックを、図7に於いて垂直方向から見たのチップ断面図である。

【図4】従来の多層金属配線における配線間の結合容量の種類を表わした断面図である。

【図5】本発明によるシールド処理を行った場合の配線間の結合容量の種類を表わした断面図である。

【図6】本発明の実施例におけるシールドされた高周波回路ブロックを、図7に於いて水平方向から見た断面図である。

【図7】本発明の実施例におけるシールドされた高周波回路ブロックの平面図である。

【図8】本発明の実施例におけるシールドされた特定の機能ブロック間を接続する配線群の断面図である。

【符号の説明】

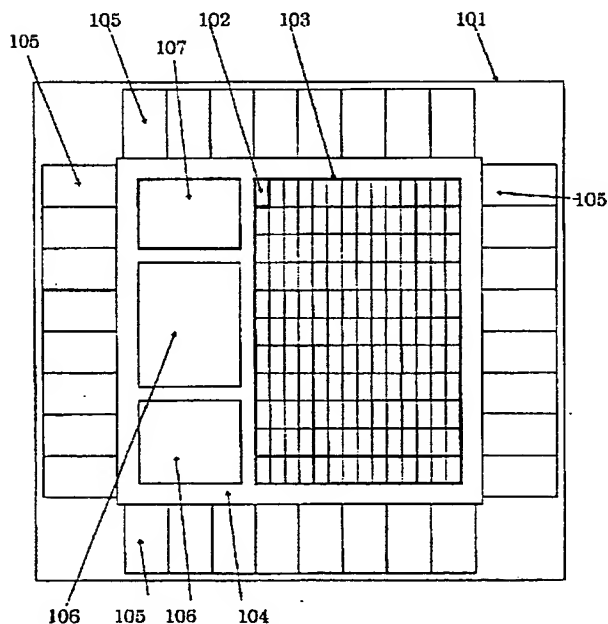
- 101... チップ外形
- 102... 単位基本セル
- 103... 基本セルマトリクス
- 104... 配線専用領域
- 105... 入出力セル
- 106... 機能ブロック
- 107... 高周波回路機能ブロック
- 201... N型基板領域

(6)

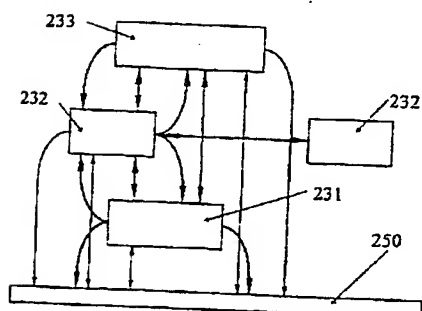
9

- 202... P-well
 203... N-well
 204... N型拡散領域
 205... P型拡散領域
 206... ストッパー用N型拡散領域
 207... ストッパー用P型拡散領域
 208... ポリシリコン領域
 209... フィールド酸化膜
 221a、221b... 第1層金属配線と拡散領域との接続用コンタクト
 222a、222b... 第2層金属配線と第1層金属配線との接続用コンタクト
 223a、223b... 第3層金属配線と第2層金属配線との接続用コンタクト
 224、224a... 第4層金属配線と第3層金属配線との接続用コンタクト

【図1】



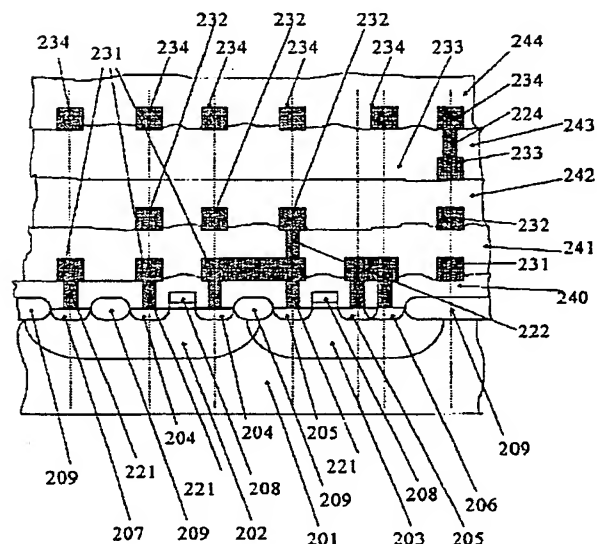
【図4】



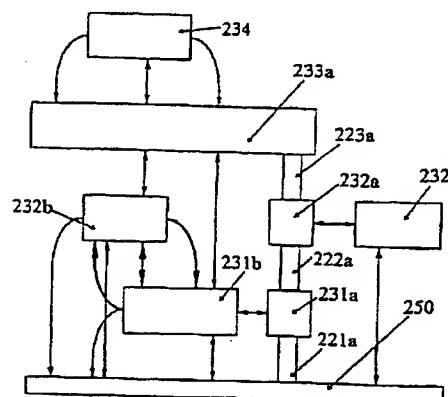
10

- 231、231a、231b... 第1層金属配線
 232、232a、232b... 第2層金属配線
 233、233a、233b... 第3層金属配線
 234、234a... 第4層金属配線
 240... 第1層金属配線と拡散領域またはポリシリコン領域との層間絶縁膜
 241... 第2層金属配線と第1層金属配線との層間絶縁膜
 242... 第3層金属配線と第2層金属配線との層間絶縁膜
 243... 第4層金属配線と第3層金属配線との層間絶縁膜
 244... チップ表面と第4層金属配線との層間絶縁膜
 250... 基板 (サブストレート)

【図2】

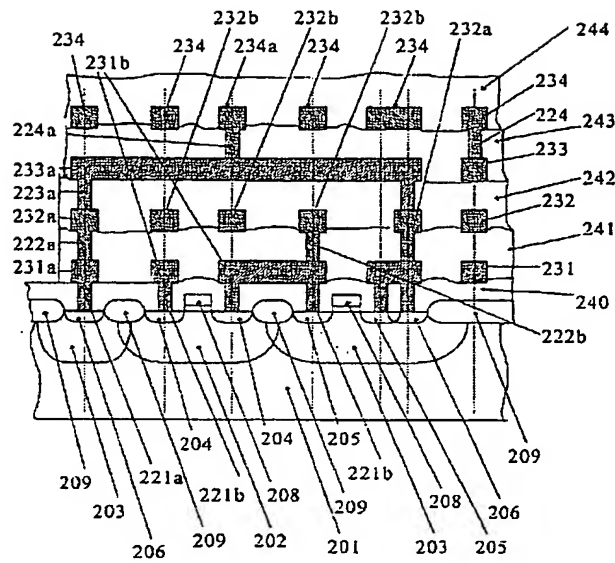


【図5】

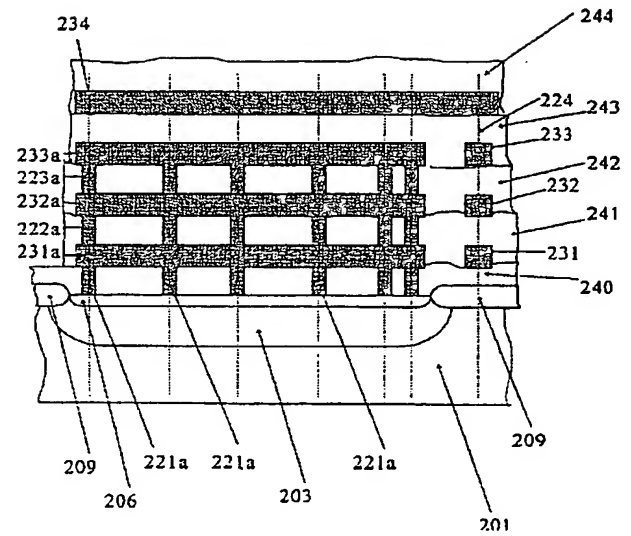


(7)

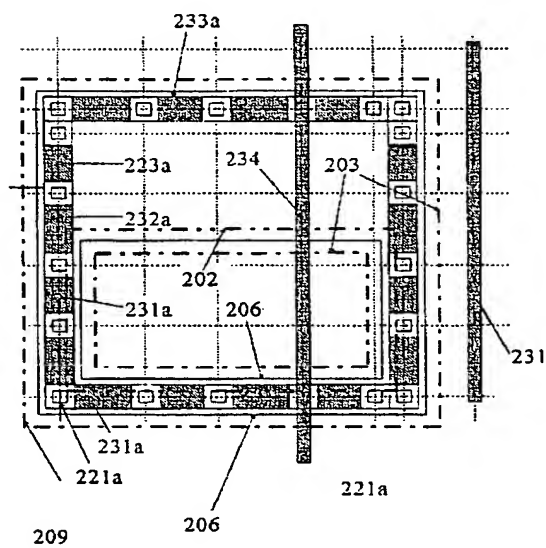
【図 3】



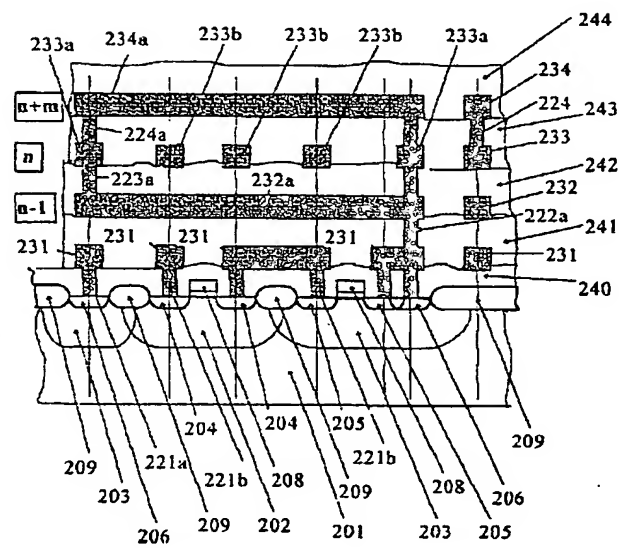
【図 6】



【圖 7】



【図 8】



THIS PAGE BLANK (USPTO)